

УДК 520.6.05

# РОЗРОБКА ЛОГІЧНОЇ СТРУКТУРИ СИСТЕМИ ОБРОБКИ ТА ОБЧИСЛЕННЯ ВИХІДНОЇ ІНФОРМАЦІЇ АСТРОВИМІРЮВАЛЬНОЇ СИСТЕМИ МІКРОСУПУТНИКА

Я.О. Замірець, Національний аерокосмічний університет ім.М.Є.Жуковського «Харківський авіаційний інститут», м. Харків

*В роботі запропоновано прогресивний підхід при проектуванні логічної структури системи обробки та обчислення вхідної інформації астровимірювальної системи мікросупутника з урахуванням оптимізації електронних блоків достатніх для реалізації архітектурних вимог. Розглянуто методи відбору найбільш раціональних варіантів логічних структур з різним складом блоків і конфігурацією зв'язків між ними.*

*В работе предложен прогрессивный подход при проектировании логической структуры системы обработки и вычисления входной информации астронавигационной системы микроспутника с учетом оптимизации электронных блоков, достаточных для реализации архитектурных требований. Рассмотрены методы отбора наиболее рациональных вариантов логических структур с различным составом блоков и конфигурацией связей между ними.*

*When designing a logical structure of systems for processing and calculating input information of microsatellite's astro measuring system, the progressive approach has been proposed with taking into account the optimization of electronic blocks, which are sufficient for the realization of architectural requirements. The methods for selecting the most rational variants of logical structures with different composition of blocks and configuration of connections between them have been considered.*

**Ключові слова:** астровимірювальна система, логічна структура, запам'ятовувачий пристрій.

## Вступ

Сучасні модифікації астровимірювальних систем (АВС), маючи масу в декілька кілограмів, визначають орієнтацію мікросупутника з точністю до одиниць кутових хвилин. За останній час суттєво підвищилися технічні характеристики зіркових датчиків та АВС, а саме, підвищилась частота оновлення інформації про орієнтацію та діапазон робочих кутових швидкостей, за рахунок чого стало можливим проводити квазінеперервно калібрування гіроскопів, практично повністю виключаючи їх дрейф [1].

Забезпечення високого рівня інформаційних технічних експлуатаційних характеристик бортових приладів космічних апаратів (КА) має рішуче значення для досягнення високого технічного рівня супутників в цілому. Недостатній ресурс роботи, збільшені малогабаритні параметри і енергоспоживання, а головне невисокі інформаційні характеристики (просторова здатність, точність орієнтації та стабілізації, якість калібрування та ін.) багатьох сучасних приладів створюють перешкоди при розробці нових КА. В зв'язку

з цим необхідно приділяти підвищену увагу удосконаленню апаратної бази, підвищенню точності, швидкодії, завадостійкості з одночасним зменшенням масогабаритних характеристик за рахунок впровадження нових методів оптимізації та удосконалення логічних структур, впровадження програмованих логічних інтегральних схем, застосування новітніх алгоритмів та програмного забезпечення інформаційних управляючих систем.

## Розробка логічної структури обчислювача АВС.

Логічна структура обчислювача астровимірювальної системи, тобто конфігурація складових логічних схем і зв'язків між ними, проектується в залежності від вимог технічного завдання на прилад, з урахуванням кількості вхідних інформаційних каналів. Саме структура задає склад логічних блоків і те, як ці блоки повинні бути пов'язані між собою, щоб повністю відповідати архітектурним вимогам. Спрацювання електронних блоків АВС у певній послідовності приводить до виконання заданих архітектурою системи обробки та обчислення (СОО) функцій, тобто до реалізації обчислювальних алгоритмів. Одні й ті ж функції можна виконати в системах зі структурою, що відрізняється набором, кількістю і порядком спрацювання логічних блоків. Різні структури, як правило, забезпечують їх різні можливості, в тому числі і різну швидкість обробки даних. Логічні блоки системи обробки та обчислення з розвинутою архітектурою [2] показані на рис. 1.

При проектуванні СОО приведена у відповідність внутрішня складність кристала і кількість виводів корпусу. Відносне зростання числа елементів у міру розвитку мікроелектронної технології в багато разів перевищує відносне збільшення числа виводів корпусу, тому проектування логічної структури у вигляді кінцевого автомата, а не у вигляді набору схем, що реалізують деякий набір логічних перемикальних функцій і схем пам'яті, дало можливість отримати функціонально закінчені блоки і пристрої обчислювача.

Використання комплектів програмованих логічних мікросхем (ПЛІС) дозволило створити обчислювач з високою швидкістю і завадостійкістю внаслідок програмної адаптації СОО до конкретної області застосування: змінюючи програму роботи СОО, змінюючи функції інформаційно-управляючої системи. Тому за рахунок складання програми роботи СОО в конкретних умовах роботи певної системи можна отримати оптимальні характеристики останньої.

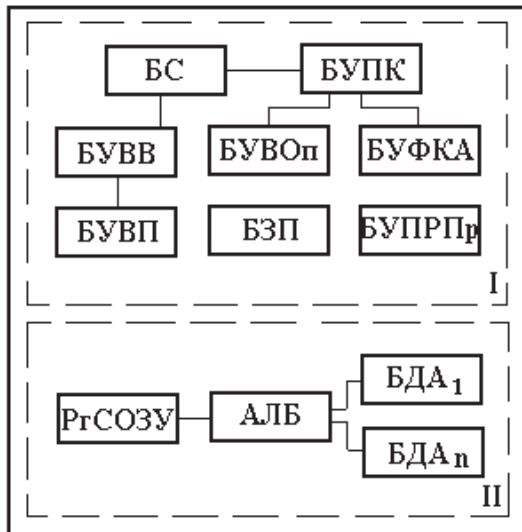


Рис. 1. Загальна логічна структура системи обробки та обчислення: I - керуюча частина, II - операційна частина; БУПК - блок управління послідовністю команд; БУВОп - блок управління виконанням операцій; БУФКА - блок управління формуванням кодів адрес; БУВП - блок управління віртуальною пам'яттю; БЗП - блок захисту пам'яті; БУПРПр - блок управління перериванням роботи процесора; БУВВ - блок управління введенням / висновком; РгСОЗУ - регістровий сверхоперативний запам'ятовуючий пристрій; АЛБ - арифметико - логічний блок; БДА - блок додаткової арифметики; БС - блок синхронізації.

Якщо рівень тільки програмної "настройки" СОО не дозволяє отримати ефективну систему, застосовується наступний рівень проектування - мікропрограмний. За рахунок зміни змісту постійного запам'ятовуючого пристрою або програмованої логічної матриці (ПЛМ) можна "настроїти" на більш специфічні риси системи обробки інформації. У цьому випадку частково за рахунок зміни мікропрограм змінюється апаратний рівень системи. Техніко - економічні наслідки тут зв'язані лише з обмеженням втручанням у технологію виготовлення управляючих блоків обчислювачів.

Зміна апаратного рівня інформаційно-керуючої мікропроцесорної системи, що включає в себе функціональні ПЛІС комплекти, одночасно з конкретизацією мікропрограмного і програмного рівнів дозволяє щонайкраще задовольнити вимогам, які пред'являються до системи.

Рішення задач управління в конкретній системі чисто апаратними засобами (апаратна логіка) дає вигоду у швидкодії, однак приводить до складностей при модифікації системи. Мікропроцесорне рішення (програмна логіка) є більш повільним, але більш гнучким рішенням, що дозволяє розвивати і модифікувати систему. Зміна технічних вимог до інформаційно - управляючої мікропроцесорної системи веде лише до необхідності перепрограмування роботи СОО. Саме ця якість забезпечує високу логічну гнучкість СОО, визначає можливість їх широкого використання.

Для СОО розробники ПЛІС випускають великий спектр кристалів з різною технологією виробництва, ступенем інтеграції, архітектурою, швидкодією,

споживаною потужністю і напругою живлення, що виготовляються в різних типах корпусів і в декількох варіантах виконання, включаючи промислове, військове і радіаційно-стійке. Кристали в повній мірі реалізують переваги ПЛІС :

- високу швидкодію;
- можливість перепрограмування безпосередньо в системі;
- високий ступінь інтеграції дозволяє розмістити ЦУУ на одному кристалі і знизити час і витрати на трасування та виробництво друкованих плат;
- скорочення часу циклу розробки і виробництва пристрою;
- наявність потужних інструментів САПР, що дозволяють усунути можливі помилки в процесі проектування пристрою;
- порівняно низька вартість (у перерахунку на один логічний вентиль);
- можливість подальшої реалізації проектів ПЛІС для серійного виробництва у вигляді замовних НВІС , що знижує їх собівартість .

### Проектування архітектури ПЛІС

До недавнього часу, незважаючи на всі переваги ПЛІС Xilinx, існували обставини стримуючі їх застосування (особливо недорогих кристалів при розробці несерійних пристроїв) - необхідність додаткових витрат на придбання пакета програмних засобів проектування та програмування. Щоб усунути цю перешкоду, фірма Xilinx надала розробникам можливість використання безкоштовного ПЗ - пакет WebPACK™ ISE™ ( Integrated Synthesis Environment ).

Основною особливістю ПЛІС мікросхем фірми Xilinx є наявність трьох типів елементів, конфігурація яких може змінюватися при проектуванні СОО . Цими елементами є :

- блоки введення / виводу (БВВ) (IOB - Input / Output Block ) ,
- конфігуровані логічні блоки ( КЛБ ) ( CLB - Configurable Logic Block ) ,
- міжз'єднання ( Interconnection ) .

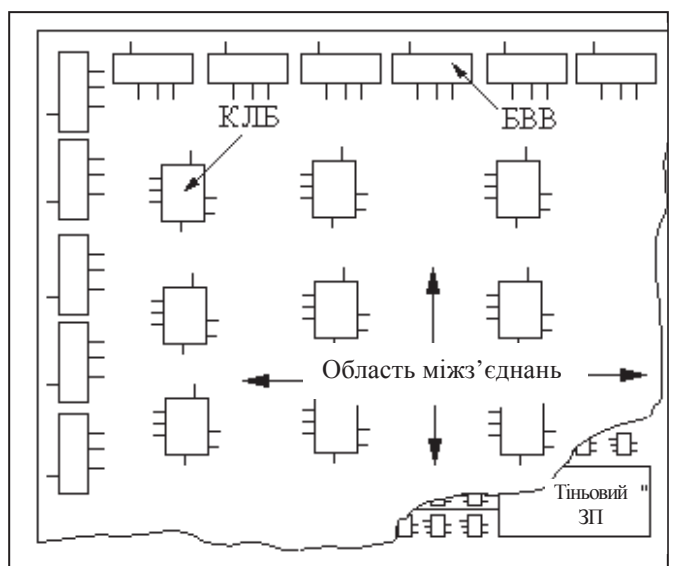


Рис. 2. Структура кристала ПЛІС

Загальна структура кристала ПЛІС показана на рис.2, з якого видно, що БВВ розташовуються по периферії кристала, а КЛБ - у вигляді матриці в центрі, між ними розташовані конфігуровані між'єднання.

Будь який окремих блок введення/виведення налаштований для виконання функцій буферів: вхідного, вихідного, з трьома станами, із запам'ятовуванням та інших, і забезпечення необхідного виду сполучення з зовнішніми схемами. Конфігуровані логічні блоки призначені для виконання простих логічних функцій від багатьох змінних, а також функцій тригера. Ланцюги між'єднань служать для формування складних логічних функцій і побудови вузлів, що складаються з багатьох КЛБ і БВВ. Логічні функції ПЛІС і між'єднання визначаються даними, що зберігаються у внутрішніх статичних запам'ятовуючих елементах («тіньовому» ЗП), а схема реалізації логічної функції представлена на рис. 3.

A	B	X
0	0	0
0	1	1
1	0	1
1	1	0

З таблиці випливає, що схема в цьому випадку реалізує функцію

$$X = \overline{A} B + A * \overline{B},$$

що відповідає функції «Сума по модулю два». Для отримання іншої функції слід записати в регістр RG іншу інформацію.

Програмовані між'єднання в ПЛІС дозволяють об'єднувати входи і виходи будь-яких БВВ і КЛБ. Всі між'єднання представляють собою сітку вертикальних і горизонтальних металевих сегментів, в місцях перетину яких розташовані програмовані перемикаючі точки (транзистори - англ. Physical Interconnect Point (PIP) - точка фізичного між'єднання). PIP дозволяють реалізувати будь який потрібний маршрут ланцюга і отримати для критичних ланцюгів затримку менше 0,1 нс. Для розводки по всьому кристалу сигналів з мінімальною затримкою служать так звані довгі лінії (ДЛІ - англ. LL - Long line) і тактові буфери.

На кристалах багатьох ПЛІС є внутрішній швидкодіючий інвертуючий підсилювач, що дозволяє за допомогою зовнішнього кварцового резонатора і двох резисторів створювати кварцовий генератор, який використовується у проекті. Схема генератора активізується на початку завантаження конфігурації, що дозволяє стабілізувати генератор. Реальне внутрішнє підключення генератора затримується до завершення завантаження конфігурації.

Відмінною особливістю ПЛІС є можливість перепрограмування функцій КЛБ, БВВ і між'єднань шляхом перезавантаження у внутрішній («тіньовий») ЗП мікросхеми (МС) інформації про її конфігурацію. Це дозволяє отримувати різні пристрої на одному і тому ж кристалі ПЛІС в динамічному режимі, тобто протягом малого часу і під час роботи МС у складі пристрою. Автоматичне завантаження інформації про конфігурацію забезпечують спеціальні схеми на кристалі ПЛІС. Вихідні дані про конфігурацію перебувають в постійному запам'ятовуючому пристрої (ПЗП), встановленому на друкованій платі поруч з ПЛІС.

Гнучка архітектура ПЛІС дозволяє створювати управляючі пристрої СОО з широким спектром можливих параметрів за швидкодією, температурному діапазону, напрузі живлення, споживаної потужності і т.п.

Швидкодія ПЛІС забезпечується застосуванням сучасної технології: частота перемикання одного тригера в рахунковому режимі для різних модифікацій МС може становити від 50 до 320 МГц, а час виробітку логічної функції на КЛБ - від 15 до 1 нс.

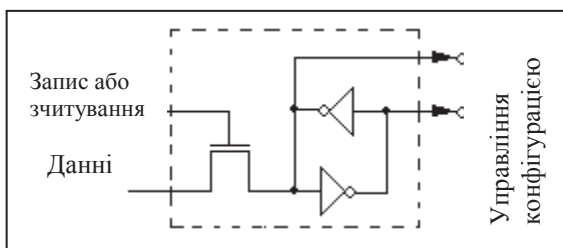


Рис. 3. Елемент пам'яті «тіньового» ЗП

Для реалізації необхідної функції в регістр RG (елементи пам'яті «тіньового» ЗП) записується потрібна інформація. Наприклад, для функції «Сума по модулю два» це 0110. Транзистори VT1 ... VT6 переводяться в провідний стан напругою логічної 1 на затворі і підключають до виходу X відповідні розряди регістра. Якщо A = 0 і B = 0, то відкриті транзистори VT4 і VT6. У цьому випадку сигнал на виході визначається станом четвертого розряду регістра (на рисунку цей шлях показаний пунктиром), тобто X = 0.

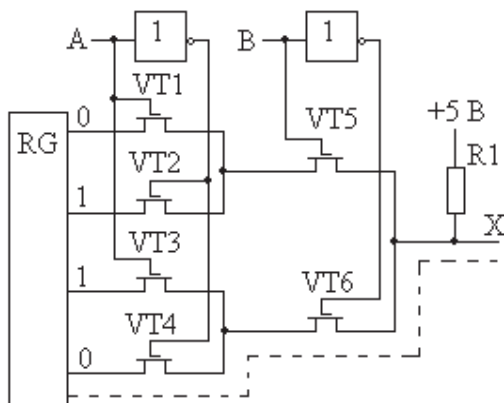


Рис. 4. Реалізація функції на МДП-транзисторах в «тіньовому» ЗП

Повна таблиця істинності для даного стану регістра виглядає наступним чином.

Температурний діапазон С: у військовому - від -5 до +125 °С; в промисловому - від -40 до +85 °С роботи ПЛІС залежить від виконання: МС в комерційному виконанні працездатні при температурах від 0 до +70 °С

Напруга живлення в активному режимі складає +5,0 або +3,3 В, в пасивному режимі +2,3 В (без втрати конфігурації).

Споживана потужність ПЛІС, як і всіх МС на КМОП-структурах, істотно залежить від типу МС та її номінальної напруги живлення, частоти перемикання елементів і складності схеми. Для реальних схем споживана потужність однієї ПЛІС в динамічному режимі становить від 0,1 до 4 Вт і більше. У статичному режимі, тобто коли елементи не перемикаються, споживана потужність ПЛІС складає одиниці міліватів.

До входів і виходів ПЛІС підключаються інші мікросхеми, елементи індикації і т.п., що становлять іншу частину розроблювального пристрою (рис. 5).

Так як при вимкненому живленні в ПЛІС не міститься корисної інформації, то основна проблема полягає у введенні в ПЛІС інформації про необхідну конфігурацію. Існує кілька способів введення конфігурації в ПЛІС, що розрізняються кількістю задіяних висновків, складністю управління і т.п.

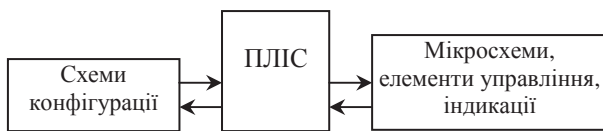


Рис. 5. Структурна схема пристрою, реалізованого на базі ПЛІС

Процес конфігурування ПЛІС здійснюється наступним чином. Попередньо програма конфігурації, довжиною кілька тисяч біт, що автоматично отримується в результаті проектування пристрою, заноситься в МС ПЗП. Потім ПЗП встановлюється на друковану плату поруч з ПЛІС і з'єднується з нею за певною схемою. Після включення живлення ПЛІС сама переписує з ПЗП у свій «тіньовий» ЗП інформацію про конфігурацію і починає виконувати задані при проектуванні функції.

Час, необхідний для завантаження програми конфігурації в ПЛІС, залежить від обсягу їх «тіньового»

ЗП і частоти тактового сигналу ССLК, яка, як правило, не повинна перевищувати 2 МГц. Типовий час завантаження 1 біта програми конфігурації складає 1 мкс. Час конфігурування становить від декількох одиниць до декількох сотень мілісекунд для різних ПЛІС і різних режимів їх конфігурування.

### Проектування та організація пам'яті

Пристрої сімейств XC4000, XC4000A і XC4000H є програмованими логічними пристроями з можливістю реалізації ОЗП, доступного користувачу з організацією 16 x 2 або 32 x 1 типу SRAM (Рис. 6)[4].

Входи F1 ... F4 і G1 ... G4 генераторів функції діють як адресні лінії, що вибирають певну ячійку пам'яті.

Функціональне призначення управляючих сигналів КЛБ змінюється в цій конфігурації: входи DIN, S/R і H1 стануть двома входами даних D0 і D1 і входом дозволу запису WE при організації пам'яті 16 x 2. При організації 32 x 1 вхід D1 діє як п'ятий біт адреси, і DO - як вхід даних. Вміст адресованої ячійки пам'яті є на виходах F і G генераторів функцій і може бути виведено з ПЛБ через виходи X і Y. Можливо також використання тригерів ПЛБ для видачі інформації.

Програмування генераторів функцій КЛБ як пам'яті не зачіпає функціональних можливостей інших частин ПЛБ, за винятком перевизначених сигналів управління. Генератор функцій H може використовуватися для реалізації булевих функцій над F', G' і D1, а тригери D можуть зберігати F', G', H' або D0-сигнали.

Час доступу читання ОЗП таке ж саме як і затримка логічного елемента - приблизно 5.5 нс; час запису дорівнює приблизно 8 нс; в обох випадках час доступу в кілька разів швидше, ніж при використанні будь-якого зовнішнього кристала.

Така реалізація розподіленого ОЗП - це нова концепція, що створює додаткові можливості при проектуванні системи, що включає реєстрові матриці безлічі суматорів, реєстри станів, реєстри індексу, лічильники DMA, розподілені реєстри зсуву, стеки LIFO і буфери FIFO. Інформаційний канал FIFO на 16 байт використовує чотири ПЛБ для зберігання і шість ПЛБ для підрахунку адреси та мультиплексування. При 32 осередках зберігання на ПЛБ, у порівнянні з двома тригерами на ПЛБ, вартість розподіленої пам'яті скорочена в 16 разів.

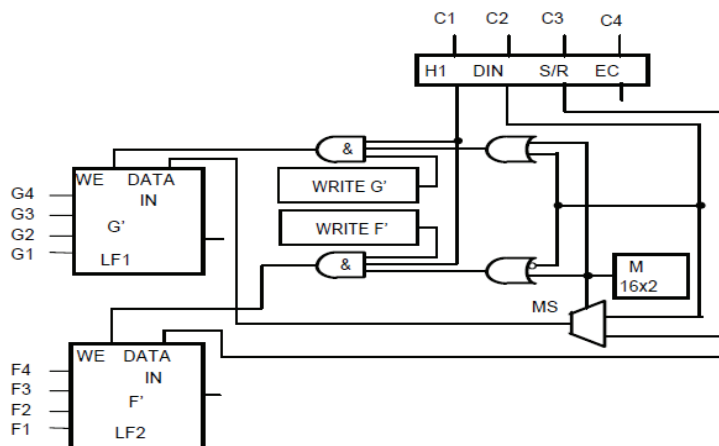


Рис. 6. Реалізація запам'ятовуючого пристрою типу SRAM



При використанні пристроїв XC4000 проектується вузли, в яких зберігається вміст конфігурації функціональних генераторів. Кожен функціональний генератор використовується як маленька пам'ять типу ОЗП. Функціональні генератори в будь-якому ПЛБ можуть бути конфігуровані трьома шляхами.

1. Два 16 x 1 RAM з двома входами даних і двома виходами даних з однаковою або, якщо це переважніше, різною адресацією для кожного RAM.

2. Один 32 x 1 RAM з одним входом даних і одним виходом даних.

3. Один 16 x 1 RAM плюс один генератор функції з п'ятьма входами.

Для проміжного зберігання даних і формування телеметричного кадру застосована 32 Мбіт IC Flash пам'ять сімейства DataFlash®

Відмінні особливості:

- однополярна напруга живлення від 2.7 В до 3.6В;
- сумісність з послідовним периферійним інтерфейсом типу SPI;
- максимальна тактова частота 20 МГц;
- посторінковий режим програмування;
- одиночний цикл перепрограмування (стирання плюс програмування);
- 8192 сторінок основної пам'яті ( 528 байт на сторінку);
- підтримка сторінкового і блочного режимів стирання;
- два 528 - байтних фера даних SRAM, забезпечують прийом даних в режимі перепрограмування незалежній пам'яті;
- підтримка режиму безперервного зчитування повного масиву даних;
- ідеально для додатків тіньового дублювання коду;
- низьке енергоспоживання :  
4 мА - типовий струм в режимі активного читання  
2 мкА - типовий споживаний струм КМОП в режимі очікування
- апаратна функція захисту даних;
- 100 %-ва сумісність з AT45DB321

AT45DB321 є IC Flash пам'яті з послідовним інтерфейсом і напругою живлення 2.7 В, 34603008 біт пам'яті даної IC організовані в 8192 сторінок по 528 байт кожна [3]. Крім пам'яті загального призначення IC , також , має два SRAM буфера даних по 528 байт. Буфери забезпечують можливість прийому даних у режимі перепрограмування сторінки основної пам'яті , або зчитування , або запис безперервних потоків даних. Режим емуляції EEPROM (з побітною або побайтною зміною) простий у застосуванні, завдяки вбудованій , триступеневої системи команд Read - Modify - Write . На відміну від стандартних типів Flash пам'яті, звернення до яких відбувається довільним чином в режимі численних адресних рядків і за допомогою паралельного інтерфейсу, пам'ять типу DataFlash використовує послідовний

інтерфейс для звернення до своїх даних в режимі послідовного доступу. IC підтримує SPI - режими типу 0 і 3. Простий послідовний інтерфейс полегшує розводку інтегральної структури, збільшує відмовостійкість системи, мінімізує комутаційні шуми, а також, зменшує розмір корпусу і число необхідних активних висновків. IC оптимізована для використання в широкому колі комерційних та індустріальних додатків, для яких істотно роль відіграють висока щільність розміщення, мале число висновків, низька напруга живлення, і низьке енергоспоживання. IC функціонує з тактовими частотами, аж до 20 МГц при типовому споживаній струмі в режимі активного читання 4 мА .

Для забезпечення зручності внутрішньосистемного перепрограмування, IC AT45DB321В не потребує високих вхідних напруг у режимі програмування. IC живиться від однополярного джерела з напругою від 2.7 В до 3.6 В, як в режимі програмування, так і в режимі читання. Вибірка IC AT45DB321В проводиться по входу CS (активний низький), а доступ до IC забезпечується за допомогою 3-х проводного послідовного інтерфейсу, що складається з сигналу послідовного входу (SI), послідовного виходу (SO) і послідовного тактового сигналу (SCK).

Всі цикли програмування мають вбудований контроль часових характеристик, а для проведення програмування попередній цикл стирання не потрібен.

### Висновки

Запропонована логічна структура системи обробки та обчислення інформації астронавігаційної системи мікро супутника з застосуванням програмної адаптації дозволяє створювати обчислювачі з підвищеною функціональністю, швидкодією, завадостійкістю та малими малогабаритними характеристиками за рахунок зміни програм СОО та функцій інформаційно-управляючої системи з досягненням ефективних функціональних значень. Метод побудови гнучкого перепрограмування функцій КЛБ, БВВ і між'єднань шляхом перезавантаження в внутрішній „тіньовий” ЗП мікросхеми інформації про конфігурацію дозволяє отримувати різні функціонали пристроя на одному і тому же кристалі ПЛІС в динамічному режимі.

### СПИСОК ЛІТЕРАТУРИ:

1. Замирец О.Н. Методы и компоненты построения астроизмерительных систем для ориентации космических аппаратов / О.Н. Замирец, Я.О. Замирец // Системы обробки інформації.-2016.- Вып. 5 (142).- С.18-26
2. Ершова Н.Ю., Иващенко О.Н., Курсков С.Ю., Микропроцессоры: учебное пособие [Текст]. – Петрозаводский государственный университет, 2012. – 110 с.
3. Орлов С. А. Организация ЭВМ и систем: учебник для вузов. 2-е изд. [Текст] / С. А. Орлов, Б. Я. Цилькер – СПб. : Питер, 2011. – 688 с.
4. Тарасов И. Е., Разработка цифровых устройств на основе ПЛИС Xilinx с применением языка VHDL [Текст] / И. Е. Тарасов, – Горячая Линия - Телеком, 2005. - 252 с.